

특 2002-0096968

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 23/46(11) 공개번호 특 2002-0096968
(43) 공개일자 2002년 12월 31일

(21) 출원번호 10-2002-0033838
(22) 출원일자 2002년 06월 18일
(30) 우선권주장 JP-P-2001-00185422 2001년 06월 19일 일본(JP)
(71) 출원인 산요 덴키 가부시키가이샤
(72) 발명자 일본 오사카후 모리구치시 게이한 폰도오리 2초쵸 5번 5고
미가리사유스케
일본군마행이세사카시산요후포19-3
사카모토노리아키
일본군마행아다다공오미다마치오마다1871-2
고바야시요시유키
일본군마행오라공오미즈미마치고구1-27-5
니카무라다케시
일본군마행오라공오미즈미마치요리마도 1303-3
(74) 대리인 장수길, 이종희, 구영환

심사청구 : 없음

(54) 회로 장치의 제조 방법

요약

절연, 도전 패턴을 갖는 몰렉시울 시트를 지지 기판으로서 채용하고, 이 위에 반도체 소자를 실장하고, 견제를 통한 반도체 장치가 개발되어 있다. 이 경우 다층 배선 구조를 형성할 수 없는 문제나 제조 공정에서의 불연 수치 시트의 취해짐이 현저한 문제를 야기시킨다. 도전막(3)의 한 면에 불연 수치(2)로 피복한 불연 수치 시트(1)를 이용하여, 불연 수치(2)에 의해 형성된 후에 도전 도금막(4)을 형성하기 때문에, 도전 도금막(4)을 형성하여 완성한 제1 도전 배선층(5)과 다층 정속된 제2 도전 배선층(6)으로 다층 배선 구조를 실현한다. 또한, 반도체 소자(7)는 제1 도전 배선층(5)을 덮는 오버코트 수치(8) 위에 고착함으로써, 제1 도전 배선층(5)은 미세 패턴으로 되어, 배선도 자유를 게 된다.

도면도

도3

제1면

절연 수치, 도전 도금막, 도전 배선층, 반도체 소자, 회로 장치

발명자

도면의 간단한 설명

- 도 1은 본 발명에 따른 회로 장치의 제조 방법을 설명하는 단면도.
- 도 2는 본 발명에 따른 회로 장치의 제조 방법을 설명하는 단면도.
- 도 3은 본 발명에 따른 회로 장치의 제조 방법을 설명하는 단면도.
- 도 4는 본 발명에 따른 회로 장치의 제조 방법을 설명하는 단면도.
- 도 5는 본 발명에 따른 회로 장치의 제조 방법을 설명하는 단면도.
- 도 6은 본 발명에 따른 회로 장치의 제조 방법을 설명하는 단면도.
- 도 7은 본 발명에 따른 회로 장치의 제조 방법을 설명하는 단면도.
- 도 8은 본 발명에 따른 회로 장치의 제조 방법을 설명하는 단면도.
- 도 9는 본 발명에 따른 회로 장치의 제조 방법을 설명하는 단면도.
- 도 10은 본 발명에 의해 제조된 회로 장치를 설명하는 평면도.

- 도 11은 본 발명에 따른 회로 장치의 제조 방법을 설명하는 단면도.
- 도 12는 종래의 반도체 장치의 제조 방법을 설명하는 도면.
- 도 13은 종래의 반도체 장치의 제조 방법을 설명하는 도면.
- 도 14는 종래의 반도체 장치의 제조 방법을 설명하는 도면.
- 도 15는 종래의 플렉시블 시트를 설명하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

- 1 : 절연 수지 시트
- 2 : 절연 수지
- 3 : 도전막
- 4 : 도전 도금막
- 5 : 제1 도전 배선층
- 6 : 제2 도전 배선층
- 7 : 반도체 소자
- 8 : 오버코트 수지
- 9 : 전극 패드
- 10 : 본딩 패드
- 11 : 본딩와이어
- 13 : 발광 수지층
- 14 : 외부 전극
- 15 : 오버코트 수지
- 21 : 관통 구멍
- 22 : 도금막
- 25 : 절연 집착 수지

본 발명의 상세한 설명

본 발명의 목적

본 발에 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 회로 장치의 제조 방법에 관한 것으로, 특히 도전 도금막 및 도전막을 이용한 박형이며 다층 배선도 실현할 수 있는 회로 장치의 제조 방법에 관한 것이다.

최근, IC 패키지는 휴대 기기나 소형·고밀도 실장 기기의 채용이 전향되어, 종래의 IC 패키지와 그 실장 개성을 크게 변화시키고자 하고 있다. 예를 들면 특허2000-133678호 공보에 기재되어 있다. 이것은, 절연 수지 시트의 일례로서 플렉시블 시트인 클리마이드 수지 시트를 채용한 반도체 장치에 관한 기술이다.

도 12 내지 도 14는, 플렉시블 시트(50)를 인터포저 기판으로서 채용하는 것이다. 또한, 각 도면에서 위에 도시한 것은 평면도, 아래에 도시한 것은 A-A선을 따라 취한 단면도이다.

먼저 도 12에 도시한 플렉시블 시트(50)의 위에는, 전극재를 통해 동박 패턴(51)이 집합되어 준비되어 있다. 이 동박 패턴(51)은, 실장되는 반도체 소자가 트랜지스터, I/O의 외해, 그 패턴이 다르지만, 일반적으로는, 본딩 패드(51A), 아일랜드(51B)가 형성되어 있다. 또한 참조 번호(52)는, 플렉시블 시트(50)의 이면으로부터 전극을 추출하기 위한 개구부로서, 상기 동박 패턴(51)이 노출되어 있다.

계속해서, 이 플렉시블 시트(50)는, 다이본딩에 반송되고, 도 13과 같이, 반도체 소자(53)가 실장된다. 그 후, 이 플렉시블 시트(50)는, 와이어본딩에 반송되고, 본딩 패드(51A)와 반도체 소자(53)의 패드가 금속 세션(54)으로 전기적으로 접속되어 있다.

마지막으로, 도 14의 (a)와 같이, 플렉시블 시트(50)의 표면에 발광 수지(55)가 형성되어 발광된다. 여기서는, 본딩 패드(51A), 아일랜드(51B), 반도체 소자(53) 및 금속 세션(54)을 피복하도록 트랜스피라 발광된다.

그 후, 도 14의 (b)에 도시한 바와 같이, 땀납이나 땀납용 등의 접속 수단(56)이 마련되고, 땀납 리플로 우로부터 통과함으로써 개구부(52)를 통해 본딩 패드(51A)와 용착한 구형상의 땀납(56)이 형성된다. 또한 플렉시블 시트(50)에는, 반도체 소자(53)가 매트릭스 형상으로 형성되기 때문에, 도 14와 같이 다이싱되어, 개개로 분리된다.

또한, 도 14의 (c)에 도시한 단면도는, 플렉시블 시트(50)의 양면에 전극으로서 참조 번호(51A)와 참조 번호(51B)가 형성되어 있는 것이다. 이 플렉시블 시트(50)는, 일반적으로, 양면이 패터닝되어 메이커로

부터 공급되고 있다.

발명이 이루고자 하는 기술적 과제

상술한 종래기술 시트(50)를 이용한 반도체 장치는 주지된 금속 프리패싱을 이용하지 않기 때문에, 매우 소형화되며 막대한 패키징 구조를 실현할 수 있는 이점을 갖지만, 실질적으로 종래기술 시트(50)의 표면에 형성된 1층의 동박 패턴(51)만으로 배선을 행하기 때문에 다음 배선 구조를 실현할 수 있는 문제점이 있었다.

또한, 다음 배선 구조를 실현하는 데에 지지 강도를 유지하기 위해, 종래기술 시트(50)를 약 200 μ m로 충분히 두껍게 할 필요가 있어, 막판화에 역합하는 문제점도 갖고 있었다.

또한, 제조 방법에서는, 상술한 제조 장치, 예를 들면 디마운더, 와이머러, 트랜스퍼 롤링 장치, 리롤 롤러를 통해서, 종래기술 시트(50)가 반송되며, 스테이지 또는 테이플러라 불리는 부위에 장착된다.

그러나, 종래기술 시트(50)의 배이스가 되는 절연 수지의 두께는 50 μ m 정도로 얇게 하면, 표면에 형성되는 동박 패턴(51)의 두께도 9~35 μ m로 얇은 경우, 도 15에 도시한 바와 같이 휘거나 찌그러져 반송성이 매우 나쁘고, 또한 상술한 스테이지나 테이플러의 장착성이 나쁜 경향이 있었다. 이것은, 절연 수지 자체가 매우 얇은 것에 기인한 휘어짐, 동박 패턴(51)과 절연 수지와의 열팽창 계수와의 차에 의한 휘어짐이 발생된다. 특히 유리 크로스 섬유를 코어로서 사용하지 않는 막판형 절연 재료가, 도 15에 도시한 바와 같이 휘어 있으면, 위로부터의 가압으로 간단히 깨지게 되는 문제점이 있었다.

또한, 개구부(52)의 부분은, 롤링 시에 위로부터 가압되기 때문에, 동판 패드(51A)의 주변을 위로 휘게 하는 일이 적을 것이며, 동판 패드(51A)의 집착성을 약화시키는 경우도 있었다.

또한 종래기술 시트(50)를 구성하는 수지 재료 자체가 종래기술에 없거나, 열전도성을 높이기 위해 롤러를 회전시킨, 딱딱하게 된다. 이 상태에서 와이머러나 디마운더로 반송하면 동판 부분에서 크랙이 들어가는 경우가 있다. 또한, 트랜스퍼 롤링 시에도, 굴림이 접촉하는 부분에서 크랙이 들어가는 경우가 있다. 이것은 도 15에 도시한 바와 같이 휘어짐이 있으면 보다 현저하게 나타난다.

지금까지 상술한 종래기술 시트(50)는, 이면에 전극이 형성되지 않은 것이었지만, 도 14의 (c)에 도시한 바와 같이, 종래기술 시트(50)의 이면에도 전극(510)이 형성되는 경우도 있다. 이 때, 전극(510)이 상기 제조 장치와 접촉하거나, 이 제조 장치 사이의 반송 수단의 반송면과 접촉하기 때문에, 전극(510)의 이면에 손상이 발생하는 문제가 있었다. 이 손상이 들어간 상태로 전극으로서 사용하기 때문에, 후에 열이 가해지거나 압력으로 전극(510) 자체가 크랙이 들어가는 문제점도 있었다.

또한, 종래기술 시트(50)의 이면에 전극(510)이 형성되면, 트랜스퍼 롤링 시에, 스테이지에 면 접촉할 수 있는 문제점이 발생한다. 이 경우, 상술한 바와 같이 종래기술 시트(50)가 딱딱한 재료로 이루어지면, 전극(510)이 지상으로 되고, 전극(510)의 주위가 아래쪽으로 가압되기 때문에, 종래기술 시트(50)에 크랙을 발생시키는 문제점이 있었다.

본 발명자는 이러한 문제점을 해결하기 위해, 얇은 제1 도전막과 두꺼운 제2 도전막을 접한 수지로 접합시킨 얇은 수지 시트를 이용하는 것을 제안하였다.

발명의 구성 및 작용

본 발명에 따른 회로 장치의 제조 방법은, 도전막의 표면을 얇은 수지로 피복한 얇은 수지 시트를 준비한 후, 공정과, 상기 얇은 수지 시트의 상하는 계소의 상기 얇은 수지에 관통 구멍을 형성하고, 상기 도전막 이면을 선택적으로 노출하는 공정과, 상기 관통 구멍 및 상기 얇은 수지 표면의 도전 도전막을 형성하는 공정과, 상기 제1 도전막을 원하는 패턴으로 에칭하여 제1 도전 배선층을 형성하는 공정과, 상기 제1 배선층을 위해 전기적으로 중첩하여 반도체 소자를 고착하는 공정과, 상기 제1 도전 배선층 및 상기 반도체 소자를 덮는 수지층으로 피복하는 공정과, 상기 제2 도전막을 원하는 패턴으로 에칭하여 제2 도전 배선층을 형성하는 공정과, 상기 제2 도전 배선층의 상하는 계소에 외부 전극을 형성하는 공정을 포함함으로써 상기한 과정을 해결한다.

도전막으로 두껍게 형성되기 때문에, 얇은 수지가 얇더라도 시트 형성의 회로 기판의 평탄성을 유지할 수 있다.

또한, 제1 도전 배선층 및 반도체 소자를 덮는 수지층으로 피복하는 공정까지는, 도전막에서 기계적 강도를 갖게 하고, 그 후에는 얇은 수지층에서 기계적 강도를 갖게 하기 때문에 도전막으로 제2 도전 배선층을 준비하기에 형성할 수 있다. 이 결과, 얇은 수지는 기계적 강도는 필요없이, 전기적 평탄을 유지할 수 있는 두께까지 얇게 할 수 있다.

또한, 트랜스퍼 롤링 장치의 하부 굴림롤 면에서 도전막 전체와 접촉할 수 있기 때문에, 국부적인 가압이 없어도 얇은 수지의 크랙 발생을 억제할 수 있다.

본 발명의 회로 장치의 제조 방법에 대하여, 도 1 내지 도 11을 참조하여 설명한다.

본 발명의 회로 장치의 제조 방법은, 도전막의 표면을 얇은 수지로 피복한 얇은 수지 시트를 준비하는 공정과, 상기 얇은 수지 시트의 상하는 계소의 상기 얇은 수지에 관통 구멍을 형성하고, 상기 도전막의 이면을 선택적으로 노출하는 공정과, 상기 관통 구멍 및 상기 얇은 수지 표면의 도전 도전막을 형성하는 공정과, 상기 제1 도전막을 원하는 패턴으로 에칭하여 제1 도전 배선층을 형성하는 공정과, 상기 제1 배선층을 위해 전기적으로 중첩하여 반도체 소자를 고착하는 공정과, 상기 제1 도전 배선층 및 상기 반도체 소자를 덮는 수지층으로 피복하는 공정과, 상기 제2 도전막을 원하는 패턴으로 에칭하여 제2 도전 배선층을 형성하는 공정과, 상기 제2 도전 배선층의 상하는 계소에 외부 전극을 형성하는 공정으로 구성되며 있다.

본 발명의 제1 공정은, 도 1에 도시한 바와 같이, 도전막(3)의 표면을 절연 수지(2)로 피복한 절연 수지 시트(1)를 준비하는 것이다.

절연 수지 시트(1)는, 도전막(3) 표면 전역을 절연 수지(2)로 피복하여 형성되는 것이다. 또한, 절연 수지(2)의 재료는, 폴리이미드 수지 또는 에폭시 수지 등의 고분자로 이루어지는 절연 재료로 이루어진다. 또한, 도전막(3)은, 바람직하게는, Cu를 주 재료로 하는 것, 또한 공지된 리드 프레임의 재료이다.

또한 절연 수지 시트(1)는, 먼저 광막 형성의 도전막(3) 위에 불침착 관착한 형성의 폴리이미드 수지를 도포하고, 반광화시켜 완성된다. 따라서, 절연 수지 시트(1)는 보강용의 유리 크로스 섬유를 불필요하게 하는 특징도 있다.

본 발명이 특징으로 하는 점은, 도전막(3)을 두껍게 형성하는 것에 있다.

도전막(3)은 두께가 70~200 μ m 정도이도록 되고, 지지 강도를 갖게 하는 점이 중요하다.

따라서, 도전막(3)의 두께로 절연 수지 시트(1)의 팽창을 유지할 수 있고, 후속 공정의 작업성을 향상 시켜서, 절연 수지(2)에 대한 결합, 크랙 등의 유발을 방지할 수 있다.

절연 수지(2)는, 폴리이미드 수지, 에폭시 수지 등이 바람직하다. 폴리이미드 형성의 것을 합하여 시트로 하는 게스형질의 경우, 그 막 두께는 10 μ m~100 μ m 정도이다. 또한, 시트로서 형성하는 경우, 시판되는 것은 25 μ m가 최소의 막 두께이다. 또한 열간도성을 고려하여, 그 안에 필러가 혼입될 수 있다. 재료로서는, 유리, 산화 Si, 산화 알루미늄, 질화 Si, Si 카바이드, 글라 혼소 등이 고려된다.

이와 같이 절연 수지(2)는 상술한 필러를 혼입한 저열 저항 수지, 초저열 저항 수지 또는 폴리이미드 수지 또는 산화물 수지이며, 형성하는 최종 장치의 성질에 따라 부분하여 사용될 수 있다.

본 발명의 제2 공정은, 도 2에 도시한 바와 같이, 절연 수지 시트(1)의 원하는 계소의 절연 수지(2)에 관한 수평(21)을 형성하여, 도전막(3)의 이면을 선택적으로 노출하는 것이다.

절연 수지(2)의 관통 구멍(21)을 형성하는 부분만을 노출하여 포토레지스트로 전면을 피복한다. 그리고, 이 포토레지스트를 마스크로 하여, 레이어에 의해 관통 구멍(21)의 바로 아래의 절연 수지(2)를 제거하고, 관통 구멍(21)의 바닥에 도전막(3)의 이면을 노출시킨다. 레이어로서는, 탄소 가스 겹여가 바람직하다. 또한, 레이어로 절연 수지(2)를 증발시킨 후, 개구부의 바닥에서 가지는 공극에는, 가열가스소다 또는 과황산암모늄 등으로 열트 에칭하여, 이 전사를 제거한다. 관통 구멍(21)의 개구부를, 포토레지스트의 형성도에 의해 변화하지만, 여기서는 50~100 μ m 정도이다.

본 발명의 제3 공정은, 도 3에 도시한 바와 같이, 관통 구멍(21) 및 절연 수지(2) 표면에 도전 도금막(4)을 형성하는 것이다.

관통 구멍(21)을 포함하는 절연 수지(2) 전면에 도전 도금막(4)을 마스크 없이 형성한다. 이 도전 도금막(4)은 양극성 도금과 전해 도금에 의해 형성되고, 여기서는, 양극성 도금에 의해 약 2 μ m의 두께를 갖는 관통 구멍(21)을 포함하는 절연 수지(2) 전면에 형성한다. 이때 따라 도전 도금막(4)과 도전막(3)이 전기적으로 통하기 때문에, 자차 도전막(3)을 전극으로 하여 전해 도금을 할하고, 약 20 μ m의 Cu를 도금한다. 이때 따라 관통 구멍(21)은 0.1의 도전 도금막(4)으로 메워진다. 또한, 도전 도금막(4)은, 여기서 Cu를 차용하였지만, Au, Ag, Pd 등을 차용할 수도 있다. 또한, 마스크를 사용하여 부분 도금을 할 수도 있다.

본 발명의 제4 공정은, 도 4 및 도 5에 도시한 바와 같이, 도전 도금막(4)을 원하는 패턴으로 에칭하여 제1 도전 배선층(5)을 형성하는 것이다.

도전 도금막(4) 위에 원하는 패턴의 포토레지스트를 피복하고, 분할 패드(10) 및 분할 패드(10)로부터 중앙으로 연결되는 제1 도전 배선층(5)을 화학적 에칭에 의해 형성한다. 도전 도금막(4)은 Cu를 주 재료로 하는 것이기 때문에, 에칭액은, 염화 제2철 또는 염화 제2 구리를 이용하면 된다.

도전 도금막(4)은 두께가 5~20 μ m 정도로 형성되어 있기 때문에, 제1 도전 배선층(5)은 20 μ m 이하의 미세 패턴으로 형성할 수 있다.

계속해서, 도 5에 도시한 바와 같이, 제1 도전 배선층(5)의 분할 패드(10)를 노출하여 다른 부분을 오버코트 수지(8)로 코팅한다. 오버코트 수지(8)는 용제족 독인 에폭시 수지 등을 소핀 인자로 포함하여, 열 경화시킨다.

또한, 분할 패드(10) 위에는 분할선을 고려하여, Au, Ag 등의 도금막(22)이 형성된다. 이 도금막(22)은 오버코트 수지(8)를 마스크로 하여, 분할 패드(10) 위에 선택적으로 무전해 도금되거나, 또는 도전막(3)을 전극으로서 전해 도금으로 부착된다.

본 발명의 제5 공정은, 도 6에 도시한 바와 같이, 제1 도전 배선층(5) 위에 전기적으로 절연하여 반도체 소자(7)를 고착하는 것이다.

반도체 소자(7)는 배어 칩 그대로 오버코트 수지(8) 위에 접합성 전극 수지(25)로 다에 본드된다. 반도체 소자(7)와 그 아래의 제1 도전 배선층(5)과는 오버코트 수지(8)로 전기적으로 절연되기 때문에, 제1 도전 배선층(5)은 반도체 소자(7) 아래에서도 자유롭게 배선할 수 있어, 다층 배선 구조를 실현할 수 있다.

또한, 반도체 소자(7)의 각 전극 패드(9)는 주변에 형성된 제1 도전 배선층(5)의 일부분의 분할 패드(10)에 연결되어(11)로 접속되어 있다. 반도체 소자(7)는 페이스 다운으로 실장되어도 된다(도 1 참조). 이 경우, 반도체 소자(7)의 각 전극 패드(9) 표면에 열반납이나 봉조가 형성되고, 절연 수지 시트(1)의 표면에는 열반납의 위치에 대응한 부분에 분할 패드(10)와 마찬가지로 전극이 형성된다.

90 $^{\circ}$ C에서 1시간의 절연 수지 시트(1)를 이용하는 장점에 대하여 설명한다. 일반적으로 수성의 와이어본딩 시에는, 200 $^{\circ}$ C 내지 300 $^{\circ}$ C가 사용된다. 이 때, 도전막(3)이 없으면, 절연 수지 시트(1)가 취하여져서, 이

상면에서 본면 헤드들 통해 절연 수치 시트(1)가 가압되면, 절연 수치 시트(1)에 굴절이 발생할 가능성이 있다. 이것은 절연 수치(2)에 필러가 혼입되면, 재료 자체가 딱딱해져서 유연성을 상실하기 때문에 보인다. 현재와 다른바, 또한, 수지는 금속과 비교하면 부드럽기 때문에, MCM나 시의 등면에서도, 가압이나 소용돌이의 에너지가 발생하게 된다. 그러나, 절연 수치(2)를 얇게 또한 도전막(3) 자체가 두껍게 형성됨으로써 이를 문제를 해결할 수 있다.

본 발명의 제6 공정은, 도 7에 도시한 바와 같이, 제1 도전 배선층(5) 및 반도체 소자(7)를 덮는 수치층(13)으로 피복하는 것이다.

절연 수치 시트(1)는, 몰딩 장치에 세트되어 수치 용융을 한다. 몰딩 방법으로서, 트랜스퍼 몰딩, 주입 몰딩, 도포, 압입 등으로도 가능하다. 그러나, 양산성을 고려하면, 트랜스퍼 몰딩, 주입 몰딩이 바람직하다.

본 공정에서는, 몰드 캐비티의 하부 굴절에 절연 수치 시트(1)는 편평하게 접촉할 필요가 있지만, 두꺼운 도전막(3)이 이 기능을 한다. 또한, 몰드 캐비티로부터 추출한 후에, 덮층 수치층(13)의 수축이 완전하게 완료될 때까지, 도전막(3)에 의해 패키지의 팽창성을 유지하고 있다.

즉, 본 공정에서의 절연 수치 시트(1)의 기계적 지지의 역할은 도전막(3)에 의해 행해지고 있다.

본 발명의 제7 공정은, 도 8에 도시한 바와 같이, 도전막(3)을 원하는 패턴으로 에칭하여 제2 도전 배선층(6)을 형성하는 것이다.

도전막(3)은, 원하는 패턴의 포토레지스트로 피복하고, 화학적 에칭으로 제2 도전 배선층(6)을 형성한다. 제2 도전 배선층(6)은 개별로 제1 도전 배선층(5)과 관통 구멍(21)을 통해 전기적으로 접속되어, 다음 배선 구조를 실현하고 있다. 또한 필요한 영역 부분에서 제1 도전 배선층(5)을 교차시키기 때문에 제2 도전 배선층(6)을 형성하여도 된다.

본 발명의 제8 공정은, 도 9에 도시한 바와 같이, 제2 도전 배선층(6)의 원하는 개소에 외부 전극(14)을 형성하는 것이다.

제2 도전 배선층(6)은 외부 전극(14)을 형성하는 부분용 노출하여 용제로 녹인 에폭시 수치 등을 스크린 인쇄하여, 오버코트 수치(15)로 마무리를 행한다. 다음에 평면의 라플로프 또는 평면 크롬의 스크린 인쇄에 의해 이 노출 부분에 외부 전극(14)을 동시에 형성한다.

마지막으로, 절연 수치 시트(1)에는 회로 장치가 다수 매트릭스 형상으로 형성되어 있으므로, 덮층 수치층(13) 및 절연 수치 시트(1)를 다이싱하여 이들을 개개의 회로 장치로 분리한다.

도 10을 참조하여, 구체적인 본 발명의 제조 방법을 따른 회로 장치를 설명한다. 먼저, 실제로는 LFP는 패턴을 제1 도전 배선층(5)이고, 점선으로 나타내는 패턴은 제2 도전 배선층(6)이다. 제1 도전 배선층(5)은 반도체 소자(7)를 둘러싸도록 본면 패드(10) 주변에 형성되고, 일부에서는 전압으로 배치된 다중 패드들을 갖는 반도체 소자(7)에 대응하고 있다. 본면 패드(10)는 반도체 소자(7)의 대응하는 전극 패드(9)와 연결되어(11)로 접속되며, 본면 패드(10)로부터 미세 패턴의 제1 도전 배선층(5)이 반도체 소자(7)의 리어에 다수 연결되어, 폭적 등극이로 나타내는 관통 구멍(21)으로 제2 도전 배선층(6)과 접속되어 있다.

이러한 구조이면, 200 이상 패드들을 갖는 반도체 소자에서도, 제1 도전 배선층(5)의 미세 패턴을 이용하여 원하는 제2 도전 배선층(6)까지 다중 배선 구조로 연장할 수 있어, 제2 도전 배선층(6)에 형성된 외부 전극(14)으로부터 외부 회로로의 접속을 할할 수 있다.

도 11에 반도체 소자(7)는 페이스 다음으로 실장된 구조를 나타낸다. 도 9와 공통되는 구성 요소는 동일 부호를 붙이고 있다. 반도체 소자(7)에는 본면 전극(31)이 형성되고, 이 본면 전극(31)과 패드 전극(10)이 접속한다. 오버코트 수치(8)와 반도체 소자(7)의 간극은 언더코트 수치(32)로 충전된다. 이 구조에서 본면 와이어를 연결 수 있어, 덮층 수치층(13)의 두께를 더욱 얇게 할 수 있다. 또한, 외부 전극(14)은 제2 도전막(4)을 에칭하여 그 표면을 글 또는 불라를 도금막(33)으로 피복한 본면 전극으로도 할할 수 있다.

본명의 효과

본 발명에 따르면 이하의 이점을 갖는다.

첫째, 덮층 수치층으로 몰딩할 때까지는 절연 수치 시트로서 취어짐을 도전막으로 해소할 수 있어, 반송 등을 향상시킬 수 있다.

둘째, 절연 수치에 형성하는 관통 구멍을 탄산 가스 레이저로 형성한 후에, 제1 도전 배선층을 형성하는 도전 도금막을 형성하기 때문에, 제2 도전 배선층과의 다중 접속도 동시에 실현할 수 있어, 공정이 매우 간단해진다.

셋째, 제1 도전 배선층을 형성하는 도전 도금막을 얇게 형성할 수 있어, 제1 도전 배선층을 매우 미세하게 패턴화할 수 있다.

넷째, 덮층 수지를 형성 시까지 절연 수치 시트의 기계적 지지를 도전막으로 행하고, 제2 도전 배선층을 형성한 후에는 절연 수치 시트의 기계적 지지를 덮층 수치층으로 행하기 때문에, 절연 수지의 기계적인 강도는 문제되지 않아 매우 탁월한 실장 방법을 실현할 수 있다.

다섯째, 절연 수치 자체가 딱딱한 것이어도, 또한 필러가 혼입되어 딱딱하게 된 것이어도, 도전막으로 지지되어 있기 때문에, 제조 공정에서 절연 수치 시트 자체의 팽창성이 높아져서, 크랙의 발생을 방지할 수 있다.

여섯째, 절연 수치 시트는 도전막이 두껍게 형성되기 때문에, 힘의 디어 본딩, 와이어본딩, 반도체 소자

의 밀봉을 위한 지지 기판으로서 이용될 수 있다. 또한, 절연 수지 재료 자체가 부드러운 경우에도 되어
여 본딩 시의 에너지의 전반을 흡수시킬 수 있어 와이어 본딩성도 향상시킬 수 있다.

(5) 상기의 바와

참구항 1

도전막의 표면을 절연 수지로 피복한 절연 수지 시트를 준비하는 공정과,

상기 절연 수지 시트의 원하는 개소(座所)의 상기 절연 수지에 관통 구멍을 형성하고, 상기 도전막의 이
면을 선택적으로 노출하는 공정과,

상기 관통 구멍 및 상기 절연 수지 표면의 도전 도금막을 형성하는 공정과,

상기 도전 도금막을 원하는 패턴으로 에칭하여 제1 도전 배선층을 형성하는 공정과,

상기 제1 도전 배선층 위에 전기적으로 절연하여 반도체 소자를 고착(固着)하는 공정과,

상기 제1 도전 배선층 및 상기 반도체 소자를 밀봉 수지층으로 피복하는 공정과,

상기 제2 도전막을 원하는 패턴으로 에칭하여 제2 도전 배선층을 형성하는 공정과,

상기 제2 도전 배선층의 원하는 개소에 외부 전극을 형성하는 공정

를 포함하는 것을 특징으로 하는 회로 장치의 제조 방법.

참구항 2

제1항에 있어서,

상기 도전막 및 상기 도전 도금막은 구리로 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

참구항 3

제1항에 있어서,

상기 도전 도금막은 얇게 형성되고, 상기 제1 도전 배선층을 미세 패턴화하는 것을 특징으로 하는 회로
장치 제조 방법.

참구항 4

제1항에 있어서,

상기 도전막은 두껍게 형성되고, 상기 밀봉 수지층으로 피복하는 공정까지 상기 도전막으로 기계적으로
지지하는 것을 특징으로 하는 회로 장치의 제조 방법.

참구항 5

제1항에 있어서,

상기 밀봉 수지층으로 피복하는 공정 후에는 상기 밀봉 수지층으로 기계적으로 지지하는 것을 특징으로
하는 회로 장치의 제조 방법.

참구항 6

제1항에 있어서,

상기 관통 구멍은 상기 절연 수지를 레이저 에칭함으로써 형성되는 것을 특징으로 하는 회로 장치의 제조
방법.

참구항 7

제6항에 있어서,

상기 레이저 에칭은 탄산 가스 레이저를 이용하는 것을 특징으로 하는 회로 장치의 제조 방법.

참구항 8

제1항에 있어서,

상기 도전 도금막은 도전 금속의 무전해 도금 및 전해 도금으로 상기 관통 구멍 및 상기 절연 수지의 표
면에 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

참구항 9

제1항에 있어서,

상기 제1 도전 배선층을 형성한 후, 원하는 개소를 남기에 오버코트 수지로 피복하는 것을 특징으로 하는
회로 장치의 제조 방법.

참구항 10

제9항에 있어서,

상기 제1 도전 배선층의 상기 오버코트 수지로부터 노출된 개소에 금 또는 은의 도금층을 형성하는 것을

특징으로 하는 회로 장치의 제조 방법.

형구항 11

제9항에 있어서,

상기 오버코트 수지 위에 상기 반도체 소자를 고착하는 것을 특징으로 하는 회로 장치의 제조 방법.

형구항 12

제10항에 있어서,

상기 반도체 소자의 전극과 상기 금 또는 은의 도금층을 분당 와이어로 접속하는 것을 특징으로 하는 회로 장치의 제조 방법.

형구항 13

제1항에 있어서,

상기 밀봉 수지층은 트랜스퍼 롤드로 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

형구항 14

제1항에 있어서,

상기 제2 도전 배선층의 대부분을 오버코트 수지로 피복하는 것을 특징으로 하는 회로 장치의 제조 방법.

형구항 15

제1항에 있어서,

상기 외부 전극은 열납의 스크린 인쇄로 열납을 부착하고 가열 응용하여 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

형구항 16

제1항에 있어서,

상기 외부 전극은 열납의 리플로우로 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

형구항 17

제1항에 있어서,

상기 외부 전극은 상기 도전막을 원하는 패턴으로 에칭하고 그 표면을 금 또는 팔라듐 도금하여 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

도면

도면1



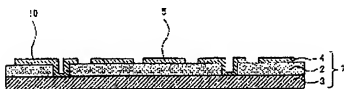
도면2



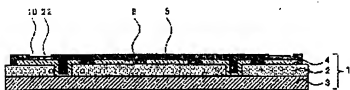
도 23



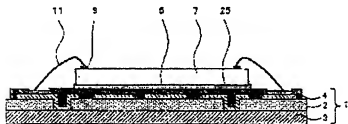
도 24



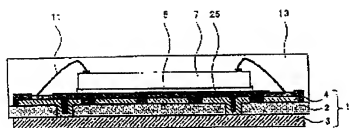
도 25



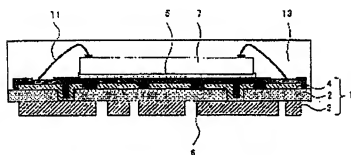
도 26



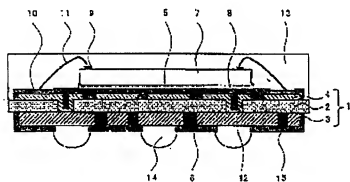
도 7



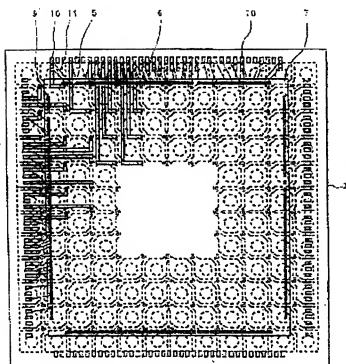
도 8



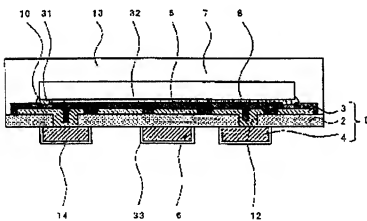
도 9



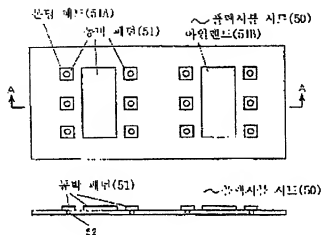
도면 10



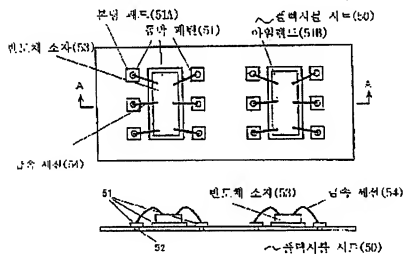
도면 11



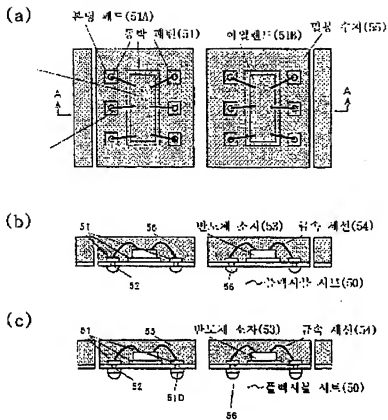
도면 12



도면 13



도면 14



도면 15

